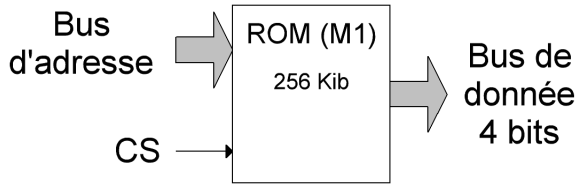
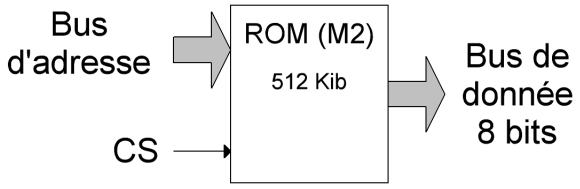
T.D. 3 – Corrigé
Assemblage de mémoires

Exercice 1

Soit les deux mémoires de type ROM suivantes :





1. Combien peut-on former de mots de 4 bits avec la mémoire **M1** ?

   Il s'agit ici de déterminer la profondeur de la mémoire **M1**.
   256 Kib = (256 Ki / 4) mots de 4 bits = 64 Ki mots de 4 bits.
   On peut former 64 Ki mots de 4 bits avec la mémoire M1.

2. Combien peut-on former de mots de 8 bits avec la mémoire **M2** ?

   Il s'agit ici de déterminer la profondeur de la mémoire **M2**.
   512 Kib = (512 Ki / 8) mots de 8 bits = 64 Ki mots de 8 bits.
   On peut former 64 Ki mots de 8 bits (64 Kio) avec la mémoire M2.

3. Quelle est la taille du bus d'adresse des deux types de ROM ?

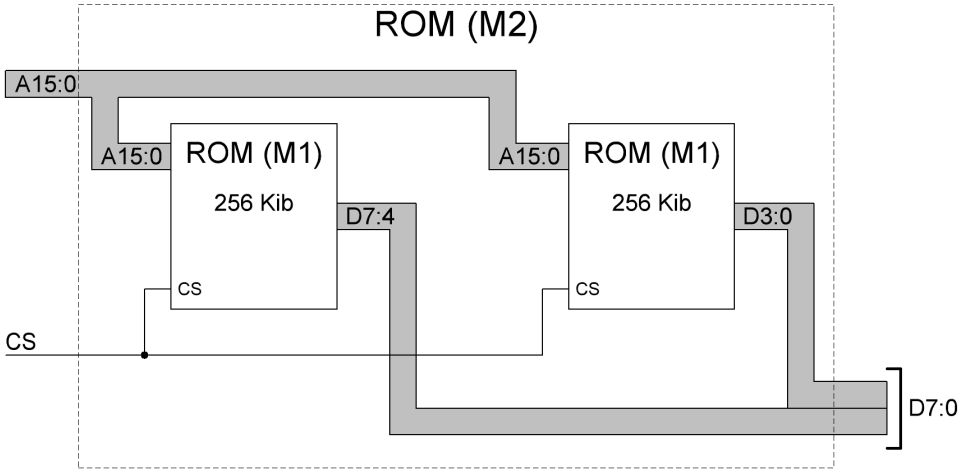
   La taille du bus d'adresse d'une mémoire se détermine à partir de sa profondeur.
   64 Ki mots = 2^{16} mots.
   La taille du bus d'adresse des deux types de ROM est de 16 bits.

On souhaite réaliser une mémoire **M2** à l'aide de deux mémoires **M1**.

4. Quel type d'assemblage doit-on réaliser ?

   On passe d'un bus de donnée de 4 bits à un bus de donnée de 8 bits.
   Il faut assembler 2 mémoires M1 en parallèle.

5. Donnez le schéma de câblage.



Exercice 2

On dispose de plusieurs RAM (**M1**) ayant une capacité de 2 Mib avec un bus de donnée de 4 bits, une entrée *CS* et une entrée *WE*. On désire réaliser une RAM (**M2**) ayant une capacité de 4 Mib. Les bus de commande et de donnée des deux RAM sont identiques.

1. Calculez la taille des bus d'adresse des deux types de RAM.

   La taille du bus d'adresse d'une mémoire se détermine à partir de sa profondeur.

   M1 : 2 Mib = (2 Mi / 4) mots de 4 bits = 512 Ki mots de 4 bits.
   512 Ki mots = 2^{19} mots.
   La mémoire M1 possède 19 fils d'adresse.

   M2 : 4 Mib = (4 Mi / 4) mots de 4 bits = 1 Mi mots de 4 bits.
   1 Mi mots = 2^{20} mots.
   La mémoire M2 possède 20 fils d'adresse.

2. Quel type d'assemblage doit-on réaliser ?

   On passe d'un bus d'adresse de 19 bits à un bus d'adresse de 20 bits.
   Il faut assembler 2 mémoires M1 en série.

3. Combien de bits d'adresse vont servir à déterminer le *CS* des mémoires **M1** ?

   Ce sont les fils d'adresse supplémentaires de la mémoire **M2** qui vont servir à la sélection des mémoires **M1**. Ici, la mémoire **M2** possède un fil d'adresse de plus que la mémoire **M1** (20 – 19 = 1).

   Un seul fil d'adresse servira donc à déterminer le *CS* des mémoires M1.

4. Donnez le schéma de câblage.

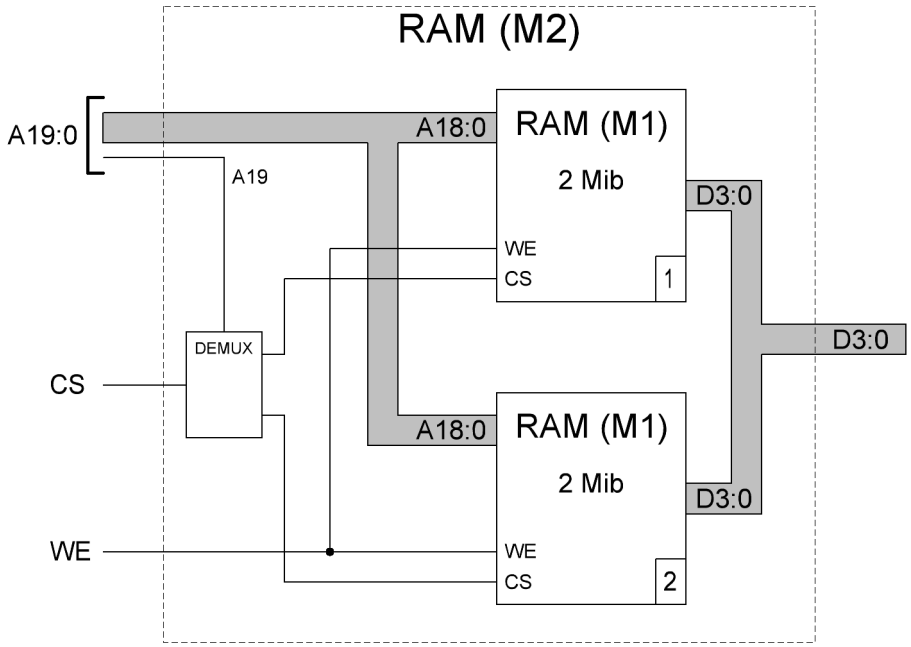
   Les entrées *WE* des mémoires **M1** sont reliées directement à l'entrée *WE* de la mémoire **M2**. Il n'y a aucune difficulté particulière pour ce type d'entrée.

   Pour la sélection des mémoires **M1**, il est préférable d'utiliser un démultiplexeur piloté par le fil d'adresse *A19*.

   - Si *A19* = 0, le *CS* de la mémoire **M2** est recopié sur le *CS* de la première mémoire **M1** (celle du haut sur le schéma). L'autre sortie du démultiplexeur est positionnée à 0 et la seconde mémoire **M1** (celle du bas sur le schéma) est désactivée.

   - Si *A19* = 1, le *CS* de la mémoire **M2** est recopié sur le *CS* de la seconde mémoire **M1**. L'autre sortie du démultiplexeur est positionnée à 0 et la première mémoire **M1** est désactivée.

   On remarque que si *CS* = 0, alors les deux mémoires **M1** sont désactivées.



5. Quelle mémoire **M1** est active lors de la lecture à l'adresse 515_{10} ?

   C'est le fil d'adresse *A19* qui pilote le démultiplexeur et qui permet de sélectionner la première ou la seconde mémoire **M1**.
   $515_{10} = 00203_{16} \rightarrow A19 = 0 \rightarrow$ **C'est la mémoire M1 numéro 1 qui est active.**

6. Quelle mémoire **M1** est active lors de l'écriture à l'adresse $9A844_{16}$?

   Il faut également déterminer la valeur du bit *A19* :
   $9A844_{16} \rightarrow A19 = 1 \rightarrow$ **C'est la mémoire M1 numéro 2 qui est active.**

Exercice 3

À l'aide de plusieurs RAM (**M1**) de 512 octets possédant un bus de donnée de 4 bits, on souhaite réaliser une RAM (**M2**) de 8 Kio possédant un bus de donnée de 16 bits.

1. Donnez le nombre de mots et la taille du bus d'adresse des deux types de RAM.

   M1 : 512 octets = (512 × 8 / 4) mots de 4 bits = **1 Ki mots de 4 bits**.
   1 Ki mots = 2^{10} mots.
   La mémoire M1 possède 10 fils d'adresse.

   M2 : 8 Kio = (8 Ki × 8 / 16) mots de 16 bits = **4 Ki mots de 16 bits**.
   4 Ki mots = 2^{12} mots.
   La mémoire M2 possède 12 fils d'adresse.

2. Combien de mémoires doit-on assembler en série ?

   On passe d'une profondeur de 1 Ki mots à une profondeur de 4 Ki mots.
   Il faut assembler 4 mémoires en série (4 Ki / 1 Ki = 4).

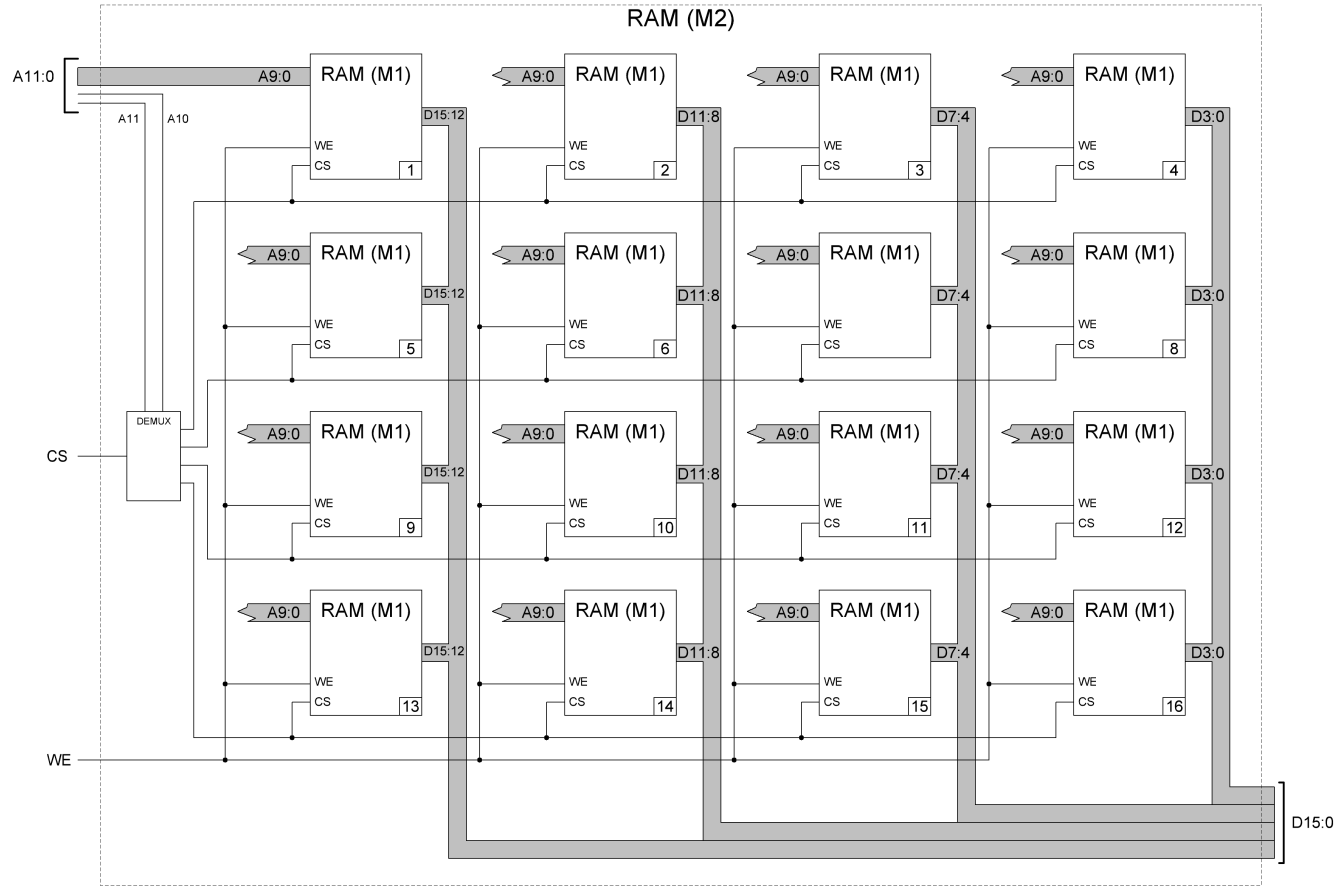
3. Combien de mémoires doit-on assembler en parallèle ?

   On passe d'un bus de donnée de 4 bits à un bus de donnée de 16 bits.
   Il faut assembler 4 mémoires en parallèle (16 / 4 = 4).

4. Combien de bits d'adresse vont servir à déterminer le *CS* des mémoires **M1** ?

   Ce sont les **2 bits d'adresse** supplémentaires de la mémoire **M2** (par rapport à la mémoire **M1**) qui vont servir à déterminer le *CS* des RAM (12 – 10 = 2).

5. Donnez le schéma de câblage.



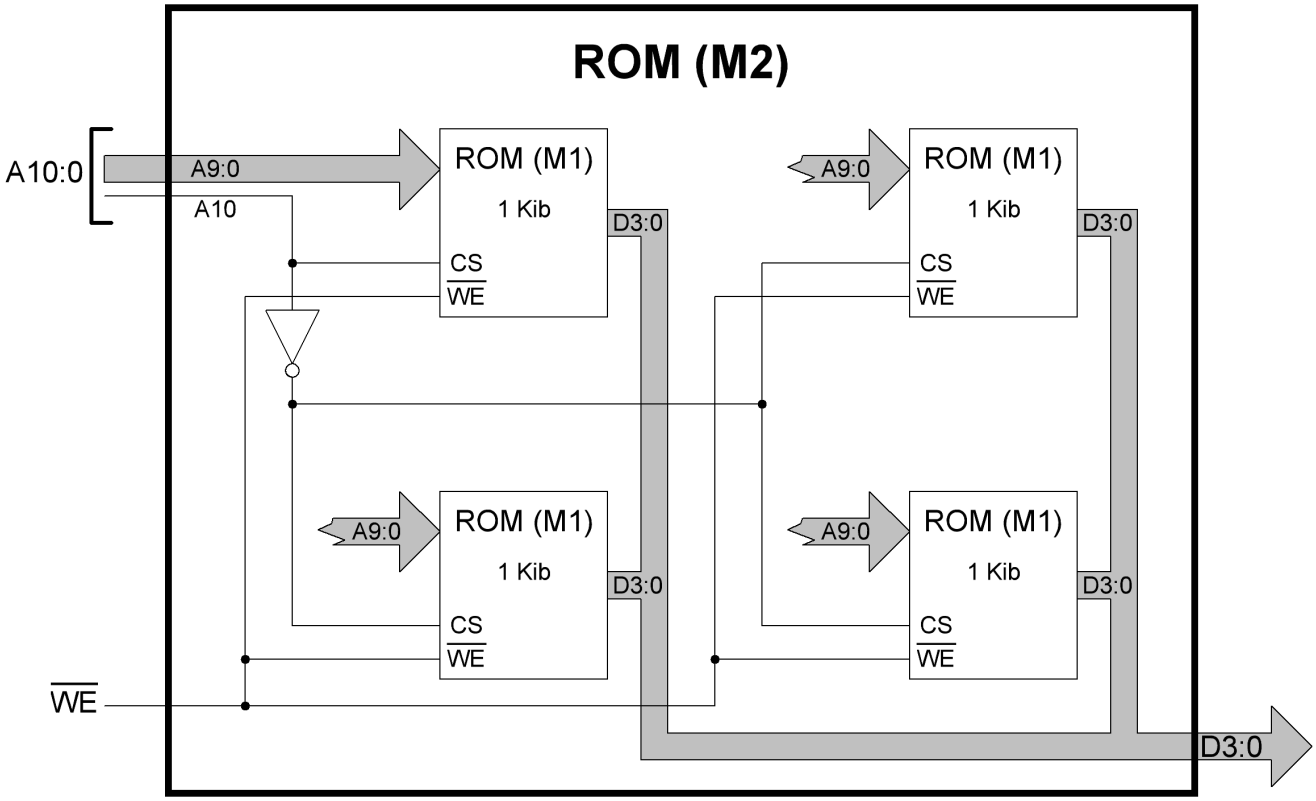
6. Précisez les mémoires **M1** actives pour chacune des adresses suivantes : $95A_{16}$, $E03_{16}$, $1FF_{16}$, 725_{16}.

   Pour chaque adresse, il suffit de déterminer la valeur des bits *A11* et *A10*.

   - $95A_{16}$: *A11* = 1, *A10* = 0 : mémoires **M1** numéro 9, 10, 11, 12 actives.
   - $E03_{16}$: *A11* = 1, *A10* = 1 : mémoires **M1** numéro 13, 14, 15, 16 actives
   - $1FF_{16}$: *A11* = 0, *A10* = 0 : mémoires **M1** numéro 1, 2, 3, 4 actives.
   - 725_{16} : *A11* = 0, *A10* = 1 : mémoires **M1** numéro 5, 6, 7, 8 actives.

Exercice 4

Le montage ci-dessous possède quelques erreurs. Trouvez-les et proposez un montage qui fonctionne.



Indications :

- Le nombre de mémoires **M1** est exact.
- La capacité en bit des mémoires **M1** est exacte.
- La taille du bus de donnée des mémoires **M1** est exacte.
- L'assemblage en parallèle est représenté à l'horizontale.
- L'assemblage en série est représenté à la verticale.
- Les mémoires sont de type ROM.

À partir des indications, il est possible de déterminer le nombre de fils d'adresse des deux types de ROM :

M1 : 1 Kib = (1 Ki / 4) mots de 4 bits = 256 mots de 4 bits = 2^8 mots de 4 bits.
La mémoire **M1** possède donc 8 fils d'adresse (*A7:0*).

M2 : L'assemblage en série nous indique qu'elle possède un fil d'adresse de plus que la mémoire **M1**.
La mémoire **M2** possède donc 9 fils d'adresse (*A8:0*).

L'assemblage en parallèle nous indique que le bus de donnée de la mémoire **M2** est deux fois plus large que celui de la mémoire **M1** : elle possède donc un bus de donnée de 8 bits (*D7:0*).

Une ROM ne possède jamais d'entrée $\overline{WE}$ (*Write Enable*), car elle n'est accessible qu'en lecture.

Il faut utiliser un démultiplexeur pour la gestion des entrées *CS*.

On obtient le schéma de câblage suivant :

